



Socket No.: 69320-011

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Jae Hong JOO, et al.	:	Confirmation Number: 1512
Serial No.: 10/668,607	:	Group Art Unit: 2817
Filed: September 24, 2003	:	Examiner: Unknown
For: HIGH-FREQUENCY POWER AMPLIFIER HAVING DIFFERENTIAL INPUTS	:	

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

**Korean Patent Application No. 10-2003-0066277, filed September 24, 2003**

A copy of the priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
**Date: December 22, 2003**

69320-011

JOO et al.

September 24, 2003

*McDermott, Will & Emery*



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0066277  
Application Number

출원년월일 : 2003년 09월 24일  
Date of Application SEP 24, 2003

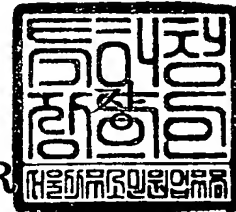
출원인 : 주식회사 타키오닉스 외 1명  
Applicant(s) TACHYONICS., LTD., et al.



2003 년 10 월 21 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.24
【발명의 명칭】	차동 입력형 고주파 전력 증폭기
【발명의 영문명칭】	High-frequency power amplifier having differential inputs
【출원인】	
【명칭】	주식회사 타키오닉스
【출원인코드】	1-2001-049412-8
【출원인】	
【명칭】	정보통신연구진흥원
【출원인코드】	2-1999-024693-8
【대리인】	
【성명】	김인한
【대리인코드】	9-2003-000087-5
【대리인】	
【성명】	김희곤
【대리인코드】	9-2003-000269-0
【발명자】	
【성명의 국문표기】	주재홍
【성명의 영문표기】	J00, Jae Hong
【주민등록번호】	650705-1057033
【우편번호】	153-801
【주소】	서울특별시 금천구 가산동 60-8번지
【국적】	KR
【발명자】	
【성명의 국문표기】	김경열
【성명의 영문표기】	KIM, Kyong Ryol
【주민등록번호】	680427-1011621
【우편번호】	153-801
【주소】	서울특별시 금천구 가산동 60-8번지
【국적】	KR

【발명자】

【성명의 국문표기】 안기철  
 【성명의 영문표기】 AHN, Kee Cheol  
 【주민등록번호】 670518-1005614  
 【우편번호】 153-801  
 【주소】 서울특별시 금천구 가산동 60-8번지  
 【국적】 KR

【발명자】

【성명의 국문표기】 최진성  
 【성명의 영문표기】 CHOI, Jin Sung  
 【주민등록번호】 570214-1068211  
 【우편번호】 153-801  
 【주소】 서울특별시 금천구 가산동 60-8번지  
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 김인한 (인) 대리인  
 김희곤 (인)

【수수료】

【기본출원료】 20 면 29,000 원  
 【가산출원료】 1 면 1,000 원  
 【우선권주장료】 0 건 0 원  
 【심사청구료】 8 항 365,000 원  
 【합계】 395,000 원  
 【감면사유】 중소기업  
 【감면후 수수료】 197,500 원

【첨부서류】

1. 요약서·명세서(도면)\_1통 2. 중소기업기본법시행령 제2조에 의한 중소기업에 해당함을 증명하는 서류\_1통  
 3. 위임장[추후제출]\_1통

**【요약서】****【요약】**

본 발명은 차동 입력형 고주파 전력 증폭기에 관한 것으로서, 더욱 상세하게는 2.4GHz ISM 주파수 대역용 차동 입력형 고주파 전력증폭기를 실리콘 게르마늄 고주파 집적회로(SiGe MMIC)를 이용하여 설계, 제작함으로써 2.4 GHz ISM 주파수 대역의 통신시스템에서 사용하고 있는 종래의 출력단 구조를 단순하게 구성하여 송신부의 부품수를 줄이고, 통신시스템의 가격을 낮출 수 있는 차동 입력 증폭기에 관한 것이다.

**【대표도】**

도 5

**【색인어】**

차동 입력, 전력 증폭기, 바론, 고주파 송신부, 실리콘 게르마늄 고주파 집적회로

## 【명세서】

## 【발명의 명칭】

차동 입력형 고주파 전력 증폭기(High-frequency power amplifier having differential inputs)

## 【도면의 간단한 설명】

도 1은 종래 통신 시스템의 출력단의 구성도.

도 2는 종래 고주파 전력 증폭기의 기능 구성도.

도 3은 본 발명인 차동 입력형 고주파 전력 증폭기를 이용한 출력단의 구성도.

도 4는 본 발명인 차동 입력형 고주파 전력 증폭기의 기능 구성도.

도 5는 본 발명인 차동 입력형 고주파 전력 증폭기의 회로도.

## 〈도면의 주요 부분에 대한 부호의 설명〉

10: 고주파 송신부	20: 신호 변환부
30: 전력 증폭기	31: 차동 입력형 전력증폭기
40: 안테나	50: 중간 정합부
60: 제 1 증폭회로부	70: 바이어스/컨트롤 블록
71: 전원 전압 단자(VCCO)	72: 전력 차단 단자(VRAMP)
73: 전력 조절 단자(VCTRL)	80: 제 2 증폭회로부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 차동 입력형 고주파 전력 증폭기에 관한 것으로서, 더욱 상세하게는 2.4GHz ISM 주파수 대역용 차동 입력형 고주파 전력 증폭기를 실리콘 게르마늄 고주파 직접회로(SiGe MMIC)를 이용하여 설계, 제작함으로써 2.4 GHz ISM 주파수 대역의 통신 시스템에서 사용하고 있는 종래의 출력단 구조를 단순하게 구성한 차동 입력형 증폭기에 관한 것이다.
- <14> 도 1은 종래 통신 시스템의 출력단 구성도이다.
- <15> 첨부도면 도 1에 도시된 바와 같이, 종래 통신 시스템의 고주파 송신부(10)의 출력 단자는 2개의 단자로 구성되어 있다. 두 출력 단자간의 신호는 상호 위상이 반전된 형태로서, 이를 밸런스 출력(balance output) 이라고 한다.
- <16> 한편, 안테나(40)로 신호를 증폭하여 전달하는 종래의 전력 증폭기(30)는 단일 입력 단일 출력의 형태이다. 따라서, 종래의 전력증폭기에서 받아들일 수 있는 신호는 언밸런스 신호(unbalance signal)이다. 언밸런스 신호(unbalance signal)는 다른 신호와 상호 위상 반전된 관계가 아닌 신호 형태를 말한다.
- <17> 따라서, 고주파 송신부의 낮은 출력 신호를 안테나로 증폭하여 전달하기 위해서는 밸런스 신호(balance signal)를 언밸런스 신호(unbalance signal)로 변환하여 출력 증폭기로 인가하는 신호 변환부(20)를 필요로 한다. 상기 신호 변환부(20)로 이용되는 소자는 일반적으로 수동 소자인 바룬(BALUN, balanced to unbalanced)을 사용한다.

<18> 따라서, 종래 전력 증폭기(30)에서는 신호 변환시 이용되는 바룬(BALUN)소자의 특성으로 인해 신호가 감쇄되는 문제점이 있다.

<19> 따라서, 종래 전력 증폭기(30)에서는 바룬(BALUN)소자에서 감쇄되는 신호를 보상해 주어야 안테나(40) 출력 전력이 통신 시스템에서 요구하는 크기를 만족할 수 있다. 즉, 전력 증폭기의 전력 이득에 대한 요구량이 증가되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 상기 문제점을 해결하기 위해 안출된, 본 발명의 목적은 종래의 밸런스 신호를 언밸런스 신호로 변환시키는 소자를 실리콘 게르마늄 고주파 단일 집적회로(SiGe MMIC)에 능동소자로 구현함으로써 신호 감쇄없이 통신 시스템에서 요구하는 안테나 출력을 얻도록 하는 차동 입력형 고주파 전력 증폭기를 제공하는데 있다.

<21> 또한, 본 발명의 목적은 실리콘 게르마늄 고주파 단일 집적회로 방식을 이용함으로써 고주파 송신부의 출력신호를 증폭하여 안테나로 전달시킬 뿐만 아니라 종래의 통신 시스템의 출력단에서 구현되는 기능인 전력 차단 기능 및 전력 조절 기능이 내장된 차동 입력형 고주파 전력 증폭기를 제공하는데 있다.

<22> 또한, 본 발명의 다른 목적은 2.4GHz ISM 주파수 대역의 통신 시스템에서 사용하고 있는 종래의 출력단 구조를 단순하게 구성하여 송신부의 부품 수를 줄이고, 통신 시스템의 단가를 낮출 수 있는 차동 입력형 고주파 전력 증폭기를 제공하는데 있다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위한 본 발명인 차동 입력형 고주파 전력 증폭기는 전원 공급부; 차동 입력 단자(INA, INB)의 고주파 차동 입력을 단일 고주파 신호로 증폭하여 출력하는 제 1



증폭회로부; 상기 제 1 증폭회로부에서 증폭된 단일 고주파 신호를 임피던스 정합하여 출력하는 중간정합부; 상기 중간정합부에서 임피던스 정합된 단일 고주파 신호를 입력 받아 출력 단자를 통해 안테나로 상기 단일 고주파 신호를 증폭하여 전달하는 제 2 증폭회로부; 전력 조절 단자의 전압을 변화시켜 상기 제 2 증폭회로부의 출력 단자를 통해 안테나로 출력되는 전력을 조절하기 위한 전력 조절 회로부; 상기 제 1 증폭회로부의 동작 기준점을 정하기 위한 제 1 바이어스 회로부; 및 상기 제 2 증폭회로부의 동작 기준점을 정하기 위한 제 2 바이어스 회로부;로 구성되는 것을 특징으로 한다.

<24> 도 3은 본 발명에 의한 차동 입력형 고주파 전력 증폭기(31)를 이용한 출력단의 구성도이다.

<25> 첨부도면 도 3에 도시된 바와 같이, 본 발명에 의한 통신 시스템의 출력단은 고주파 송신부(10)와 차동 입력형 고주파 전력 증폭기(31)로 구성된다. 상기 고주파 송신부(10)에서 출력되는 두 개의 출력신호(OUTA, OUTB)는 전력증폭기(31)로 입력되며, 상기 차동 입력형 전력 증폭기(31)는 상기 두 신호(OUTA, OUTB)의 차를 이용하여 증폭된 하나의 출력신호를 안테나를 통해 송출하도록 한다.

<26> 도 4는 본 발명인 차동 입력형 고주파 전력 증폭기의 기능 구성도이다. 첨부도면 도 4에 도시된 바와 같이, 본 발명인 차동 입력형 고주파 전력 증폭기는 제 1 증폭회로부(60), 제 2 증폭회로부(80), 중간 정합부(50), 바이어스/컨트롤 블럭(70)으로 구성된다.

<27> 상기 제 1 증폭회로부(60)는 신호 변환부(20)의 기능을 하도록 차동 입력 형태로 구성되며, 제 2 증폭회로부(80)는 클래스 AB 공통 에미터 전력 증폭기이다.

- <28>        중간 정합부는(50)는 제 1 증폭회로부(60)의 출력 임피던스와 제 2 증폭회로부(80)의 입력 임피던스를 정합하여 고주파 신호의 반사손실을 최소화하고, 상기 제 2 증폭회로부(80)의 입력 신호로 최대 전력이 전달되도록 한다.
- <29>        바이어스/컨트롤 블록(70)은 제 1 증폭회로부(60), 제 2 증폭회로부(80)의 바이어스 회로부와 전력 차단 회로부, 전력 조절 회로부로 구성된다.
- <30>        이하에서는 첨부된 예시도면 도 5를 참조하여 본 발명인 차동 입력 형태의 전력 증폭기의 구성에 대해 상세히 설명한다.
- <31>        첨부도면 도 5에 도시된 바와 같이, 제 1 증폭회로부(60)는 제 7 트랜지스터(Q7), 제 8 트랜지스터(Q8), 제 1 인덕터(L1)와 차동 입력 단자(INA, INB)로 구성된다. 상기 제 1 인덕터(L1)는 제 1 증폭회로부(60)의 안정을 위한 부궤환 역할을 한다.
- <32>        제 2 증폭회로부(80)는 제 12 트랜지스터(Q12)와 제 5 캐패시터(C5)를 포함하고 있는 클래스 AB 공통 에미터 전력 증폭기이다.
- <33>        중간 정합부는(50)는 제 3 콘덴서(C3), 제 2 콘덴서(C2), 제 16 저항(R16)으로 구성된다.
- <34>        바이어스/컨트롤 블록(70)은 제 1 증폭회로부(60)의 바이어스 회로부, 제 2 증폭회로부(80)의 바이어스 회로부와 전력 차단 회로부, 전력 조절 회로부로 구성된다.
- <35>        제 1 증폭회로부(60)의 바이어스 회로부는 첨부도면 도 5에 도시된 바와 같이, 제 5 트랜지스터(Q5), 제 6 트랜지스터(Q6), 다수의 저항(R11~R15)과 제 1 커패시터(C1)로 구성된다.

상기 제 1 증폭회로부(60)의 바이어스 회로부는 전류 이득 변화의 보상을 위한 바이어스 전류 미러 회로로 이루어졌으며, 제 1 증폭회로부(60)의 동작 기준점을 정하는 역할을 한다.

<36> 제 2 증폭회로부(80)의 바이어스 회로부는 제 10 트랜지스터(Q10), 제 11 트랜지스터(Q11), 다수의 저항(R18~R20)과 제 4 커패시터(C4)로 구성된다. 상기 제 2 증폭회로부(60)의 바이어스 회로부는 전류 이득 변화의 보상을 위한 바이어스 전류 미러 회로로 이루어졌으며, 제 2 증폭회로부(80)의 동작 기준점을 정하는 역할을 한다.

<37> 상기 저항(R11, R13~R15, R18~R20)과 제 1, 4 커패시터(C1, C4)는 베이스 전압의 안정을 위한 소자이다.

<38> 전력 차단 회로부는 다수의 저항(R23~R25)과 전압 제어 전류 공급원 (SRC1, SRC2) 및 제 15 트랜지스터(Q15)로 구성된다.

<39> 전력 조절 회로부는 다수의 저항(R1~R5, R10, R17)과 다수의 트랜지스터 (Q1~Q4, Q9, Q17)로 구성된다. 상기 제 17 트랜지스터(Q17)는 보호 다이오드로서, 전력 조절 단자(VCTRL, 73)에 인가되는 정전기를 흡수하여 내부회로를 보호한다.

<40> 상기와 같이 구성된 본 발명에 따른 차동입력형 증폭기의 작용에 관해 상세히 설명한다.

<41> 먼저, 제 1 증폭회로부(60)에서는, 차동 입력 단자(INA, INB)로 입력되는 두 개의 입력 신호의 차를 이용하여 제 8 트랜지스터(Q8)의 컬렉터 단일 신호로 증폭하여 중간 정합부(50)로 전달한다.

<42> 상기 중간 정합부(50)는 중간 정합 소자인 제 3 콘덴서(C3)를 이용하여 제 8 트랜지스터(Q8)의 출력 임피던스와 제 12 트랜지스터(Q12)의 입력 임피던스를 정합하여 상기 제 8 트랜지스터(Q8)에서 출력된 단일 신호를 제 12 트랜지스터(Q12)의 베이스로 전달한다.

- <43> 따라서, 제 8 트랜지스터(Q8)에서 출력된 단일 고주파 신호의 반사손실이 최소화되며, 상기 제 12 트랜지스터(Q12)의 입력 신호로 최대 전력이 전달된다.
- <44> 상기 제 2 증폭회로부(80)에서, 상기 제 12 트랜지스터(Q12)는 중간 정합 소자인 제 3 콘덴서(C3)를 통과하여 정합된 제 8 트랜지스터(Q8)의 출력 신호를 입력으로 받아들여 증폭한 후, 출력단자(Vcc2\_OUT)를 통하여 안테나(40)로 고주파 신호를 증폭하여 전달한다. 상기 제 5 커패시터(C5)는 출력 고주파 성분을 감소시키기 위한 소자이다.
- <45> 한편, 제 1 증폭회로부(60)와 제 2 증폭회로부(80)의 신호 증폭율은 제 7, 제 8, 제 12 트랜지스터의 컬렉터로 흐르는 바이어스 전류에 의해 결정되며, 상기 바이어스 전류가 공급되는 과정은 다음과 같다.
- <46> 먼저, 전원 전압 단자(VCC0,71)에 전원 전압(Vcc)이 인가되고, 전력 조절 단자(VCTRL,73)에 전원 전압(Vcc)과 동일한 크기의 전압이 인가되었을 때 회로의 바이어스 상태는 다음과 같다.
- <47> 제 2 트랜지스터(Q2)의 베이스 전류를 무시하면, 하기 수학식 1 에서와 같이 제 1 트랜지스터(Q1)의 컬렉터 전류는 제 4 저항(R4)에 흐르는 전류(I\_c1)와 같다.
- <48> 【수학식 1】  $I_{c1} \approx (V_{B1} - V_{BEONQ1}) / R3$
- <49> 여기서, 컬렉터-에미터 포화전압은 무시되었으며,  $V_{B1}$ 은 제 1 트랜지스터 (Q1)의 베이스 전압,  $V_{BEONQ1}$ 은 제 1 트랜지스터(Q1)의 베이스-에미터 턴-온(turn-on) 전압을 말한다.
- <50> 제 1 트랜지스터의 베이스 전압  $V_{B1}$ 은 제 1 저항(R1)과 제 2 저항(R2)에 의해서 하기 수학식 2 와 같이 전력 조절 단자(VCTRL,73)의 전압( $V_{CTRL}$ )을 배분한다.
- <51> 【수학식 2】  $V_{B1} \approx V_{CTRL} \cdot (R2 / R1 + R2)$

<52> 제 1 트랜지스터(Q1)의 컬렉터 전압( $V_{C1}$ )은 제 1 트랜지스터(Q1)가 포화되면 에미터 전압과 거의 같게 되어 하기 수학식 3 과 같은 결과를 얻는다.

<53> 【수학식 3】  $V_{C1} \approx I_{c1} \cdot R3$

<54> 전압  $V1$ 은 제 4 저항( $R4$ )과 제 12 저항( $R12$ )으로 분기되는 노드 전압으로 하기 수학식 4 와 같이 결정된다.

<55> 【수학식 4】  $V1 = V_{C1} + I_{c1} \cdot R4 = I_{12} \cdot R12 + 2 \cdot V_{BEON}$

<56> 한편, 제 3 트랜지스터의 기준 전류( $I_{c2}$ )는 하기 수학식 5 와 같다.

<57> 【수학식 5】  $I_{c2} \approx \{(R5+R7) \cdot V_{C1} - V_{BEONQ3} \cdot R5\} / (R5+R7)$

<58> 즉, 제 3 트랜지스터의 기준 전류( $I_{c2}$ )는 상기 수학식 3 에서 구한  $V_{C1}$ 의 값을 수학식 5 에 대입함으로써 얻어진다.

<59> 제 4 트랜지스터의 컬렉터 전류( $I_{c3}$ )는 제 4 트랜지스터(Q4)와 제 3 트랜지스터(Q3)의 전류 미러 관계에 따라서 제 3 트랜지스터(Q3)의 기준 전류( $I_{c2}$ )와 에미터 저항비에 의해 하기 수학식 6 과 같이 결정된다.

<60> 【수학식 6】  $I_{c3} \approx I_{c2} \cdot (R5/R10)$

<61> 또한, 전류( $I_{12}$ )가 전류( $I_{c1}$ )와 전류( $I_{c3}$ )에 비해 충분히 크다고 가정하면, 하기 수학식 7 과 같이 전류( $I_{12}$ )가 전류( $I_{ref}$ )와 같다고 할 수 있다.

<62> 【수학식 7】  $I_{12} \approx I_{ref} \approx \{V_{cc} - (2 \cdot V_{BEON})\} / (R26+R12)$

<63>  $\approx \{V_{cc} - (2 \cdot V_{BEON})\} / (R22+R21)$

<64>  $\approx \{V_{cc} - (V_{c1} + I_{c1} \cdot R4)\} / R26$

- <65> 또한, 제 5 트랜지스터(Q5)는 제 1 증폭회로부(60)의 제 7 트랜지스터(Q7) 및 제 8 트랜지스터(Q8)와 전류 미러 관계에 있으며, 전류 미러의 기준 전류는 전류(I<sub>12</sub>)가 된다.
- <66> 즉, 트랜지스터의 면적비에 의하여 전류(I<sub>12</sub>):전류(I<sub>1b</sub>):전류(I<sub>1a</sub>) = 1:6:6 의 비례관계로 제 1 증폭회로부의 제 7 트랜지스터(Q7) 및 제 8 트랜지스터(Q8)의 바이어스 전류(I<sub>1b</sub>, I<sub>1a</sub>)가 결정된다.
- <67> 상기 바이어스 전류(I<sub>1b</sub>, I<sub>1a</sub>)는 제 1 증폭회로부의 전원 전압 단자(VCC1A, VCC1B)에서 공급된다. 상기 제 1 증폭회로부의 전원 전압 단자(VCC1A, VCC1B)의 전압은 전원 전압 단자(VCC0,71)의 전원 전압(Vcc)과 같은 크기의 전압이 인가된다.
- <68> 또한, 제 9 트랜지스터(Q9)의 컬렉터 전류(I<sub>c4</sub>)는 제 9 트랜지스터(Q9)와 제 3 트랜지스터(Q3)의 전류 미러 관계에 의해서 하기 수학식 8 과 같이 제 3 트랜지스터(Q3)의 기준전류(I<sub>c2</sub>)와 에미터 저항비에 의해 결정된다.
- <69> 【수학식 8】  $I_{c4} \approx I_{c2} \cdot (R5/R17)$
- <70> 전류(I<sub>ref</sub>)가 전류(I<sub>c4</sub>)에 비해 충분히 크다고 가정하면, 상기 수학식 7 에 의하여 제 10 트랜지스터(Q10)와 제 12 트랜지스터(Q12)의 전류 미러 관계의 기준 전류를 전류(I<sub>ref</sub>)로 할 수 있다.
- <71> 즉, 트랜지스터의 면적비에 의하여 기준전류(I<sub>ref</sub>):전류(I<sub>2</sub>) = 1:16의 비례관계로 제 2 증폭회로부(80)의 제 12 트랜지스터(Q12)의 바이어스 전류(I<sub>2</sub>)가 결정된다.
- <72> 상기 전류(I<sub>2</sub>)는 전원 전압 단자(Vcc2\_OUT)에서 공급된다. 상기 제 2 증폭회로부의 전원 전압 단자(Vcc2\_OUT)의 전압은 전원 전압 단자(VCC0,71)의 전원 전압(Vcc)과 같은 크기의 전압이 인가된다.

- <73> 결국, 상기 과정에 의해 결정된 바이어스 전류( $I_{1b}$ ,  $I_{1a}$ ,  $I_2$ )는 제 7, 제 8, 제 12 트랜지스터의 컬렉터 전류가 되어, 제 1 증폭회로부와 제 2 증폭회로부의 신호 증폭율을 결정한다.
- <74> 한편, 제 6 트랜지스터(Q6)와 제 11 트랜지스터(Q11)는 집적회로 공정상 트랜지스터의 전류증폭률의 변동율에 의한 바이어스 전류의 변동을 보상하여 바이어스 전류( $I_{1b}$ ,  $I_{1a}$ ,  $I_2$ )를 안정되게 유지한다.
- <75> 또한, 저항(R6~R9)은 과도 전압 변동시의 제 4 트랜지스터(Q4)와 제 3 트랜지스터(Q3), 제 9 트랜지스터(Q9)의 베이스 전압의 안정을 위한 것이다.
- <76> 한편, 전력 조절 회로부에서 전력 조절이 되는 과정을 살펴 보면 다음과 같다.
- <77> 전력 조절 회로부의 동작은 전력 조절 단자(VCTRL, 73)의 전압이 0~ $V_{cc}$ [V]까지 조절되면 서 제 1 증폭회로부(60)의 바이어스 전류와 제 2 증폭회로부(80)의 바이어스 전류를 조절함에 따라, 상기 바이어스 전류와 로그적인 비례관계를 갖는 안테나 출력 전력을 조절한다. 그 과정을 살펴보면 다음과 같다.
- <78> 먼저, 상기 수학식 1 과 수학식 2 에 따라서, 제 1 트랜지스터(Q1)의 베이스 전압( $V_{B1}$ )과 제 1 트랜지스터(Q1)의 바이어스 전류( $I_{c1}$ )가 작아진다. 따라서, 제 2 트랜지스터(Q2)의 베이스 전류는 무시할 수 없게 된다.
- <79> 따라서, 제 1 트랜지스터(Q1)가 포화되지 않은 상태에서는 하기 수학식 9 와 같이 제 1 트랜지스터(Q1)의 컬렉터 전압( $V_{C1}$ )이 결정된다.
- <80> 【수학식 9】  $V_{C1} \cong V_1 - R_{L1} \cdot I_{c1}$

- <81> 여기서, 전압(V1)은 상기 수학식 4 에 나타난 것 처럼, 제 4 저항(R4)과 제 12 저항(R12)으로 분기되는 노드 전압이다.  $R_{L1}$ 은 제 1 트랜지스터(Q1)의 등가적인 부하 저항이다.
- <82> 즉, 전력 조절 단자(VCTRL, 73)의 전압이 전원 전압에서 접지 전압으로 낮아지면서 상기 수학식 1 에서와 같이 전류( $I_{c1}$ )가 감소하면, 상기 수학식 9 에서와 같이 제 1 트랜지스터(Q1)의 컬렉터 전압( $V_{C1}$ )이 증가하여, 상기 수학식 5 와 같이 제 3 트랜지스터(Q3)의 컬렉터 전류( $I_{c2}$ )가 증가한다. 따라서 제 4 트랜지스터(Q4)와 제 3 트랜지스터(Q3)의 전류 미러 관계에 따라 상기 수학식 6 과 같이 전류( $I_{c3}$ )가 증가한다.
- <83> 또한, 하기 수학식 10 과 수학식 11 에 의해, 전류( $I_{c1}$ )와 전류( $I_{c3}$ )가 증가함에 따라서, 제 1 증폭회로부(60)의 바이어스 전류( $I_{1b}$ ,  $I_{1a}$ )의 기준 전류( $I_{12}$ ,  $I_{q10}$ )는 감소하며, 이에 따라 제 1 증폭회로부(60)의 바이어스 전류( $I_{1a}$ ,  $I_{1b}$ )가 감소하게 된다.
- <84> 【수학식 10】  $I_{12} \approx I_{ref} - I_{c1}$
- <85> 【수학식 11】  $I_{q5} \approx I_{12} - I_{c3}$
- <86> 또한, 전력 조절 단자(VCTRL, 73)의 전압이 작아지면, 제 2 증폭회로부(80)의 기준 전류( $I_{ref}$ )는 하기 수학식 12 에서 보이듯이 제 10 트랜지스터(Q10)의 컬렉터 전류( $I_{q10}$ )와 전류( $I_{c4}$ )로 분기된다.
- <87> 【수학식 12】  $I_{q10} \approx I_{ref} - I_{c4}$
- <88> 따라서, 전류( $I_{c4}$ )의 증가량에 비례하여, 제 10 트랜지스터(Q10)의 컬렉터 전류가 감소하고, 제 10 트랜지스터(Q10)와 제 12 트랜지스터(Q12)의 전류 미러 관계에 의해서 제 2 증폭회로부(80)의 바이어스 전류가 감소한다. 이러한 바이어스 전류의 감소에 의해 바이어스 전류와 비례관계에 있는 고주파 전력을 감소시킨다.



- <89> 감소되는 기울기는 제 1 저항(R1), 제 2 저항(R2)의 비율과 제 10 저항(R10), 제 17 저항(R17)의 비율에 의해서 결정된 비례상수와 같으며, 전력 조절 단자(VCTRL,3)의 전압에 따라서 제 1 증폭회로부, 제 2 증폭회로부의 바이어스 전류(I<sub>1a</sub>, I<sub>1b</sub>, I<sub>2</sub>)는 지수적인 관계로 감소하고, 따라서 바이어스 전류(I<sub>1a</sub>, I<sub>1b</sub>, I<sub>2</sub>)의 자승에 비례하는 전력(mW)이 감소한다.
- <90> 따라서, 이를 전력의 단위(dBm)로 변환하면, 전력 조절 단자(VCTRL,3)의 전압에 비례하여 안테나 출력 전력이 [dB/V] 단위로 조절된다.
- <91> 한편, 전력 차단 회로부에서 전력이 차단되는 과정을 살펴보면 다음과 같다.
- <92> 전력 차단 회로부에서, 상기 제 15 트랜지스터(Q15)는 보호 다이오드로서, 전력 차단 단자(VRAMP,72)에 인가되는 정전기를 흡수하여 내부회로를 보호하는 역할을 한다.
- <93> 안테나로 출력되는 고주파 신호의 전력을 차단하기 위하여 전력 차단 단자(VRAMP,72)의 전압이 접지전압으로 낮아지면, 제 24 저항(R24), 제 25 저항(R25) 및 제 23 저항(R23)에 의해서 전압 제어 전류 공급원(SRC1, SRC2)의 전류(I<sub>ref</sub>)가 차단된다.
- <94> 상기 전류(I<sub>ref</sub>)가 차단됨에 따라 제 5 트랜지스터(Q5)의 바이어스 전류(I<sub>12</sub>)와 제 10 트랜지스터(Q10)의 바이어스 전류가 차단된다. 따라서, 제 5 트랜지스터(Q5)와 제 10 트랜지스터(Q10)와 전류 미러 관계에 있는 제 1 증폭회로부의 바이어스 전류(I<sub>1a</sub>, I<sub>1b</sub>)와 제 2 증폭회로부의 제 12 트랜지스터(Q12)의 바이어스 전류가 차단된다.
- <95> 이와 같이, 전압 제어 전류 공급원(SRC1, SRC2)의 전류(I<sub>ref</sub>)는 저항(R24)의 양단 전압인 전력 차단 단자(VRAMP,72)의 전압에 의해 온-오프 동작을 한다.

**【발명의 효과】**

<96>        본 발명인 차동 입력형 고주파 전력 증폭기를 적용하는 통신 시스템은 종래의 단일 입력 단일 출력 형태의 전력 증폭기를 사용하여 신호 변환부를 사용하던 구조에 비하여, 신호 변환부를 사용하지 않음으로써, 종래의 성능을 유지하면서 부품의 수를 줄이고, 비용을 절감할 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

전원 공급부;

차동 입력 단자(INA, INB)의 고주파 차동 입력을 단일 고주파 신호로 증폭하여 출력하는 제 1 증폭회로부;

상기 제 1 증폭회로부에서 증폭된 단일 고주파 신호를 임피던스 정합하여 출력하는 중간 정합부;

상기 중간정합부에서 임피던스 정합된 단일 고주파 신호를 입력 받아 출력 단자를 통해 안테나로 상기 단일 고주파 신호를 증폭하여 전달하는 제 2 증폭회로부;

전력 조절 단자의 전압을 변화시켜 상기 제 2 증폭회로부의 출력 단자를 통해 안테나로 출력되는 전력을 조절하기 위한 전력 조절 회로부;

상기 제 1 증폭회로부의 동작 기준점을 정하기 위한 제 1 바이어스 회로부; 및

상기 제 2 증폭회로부의 동작 기준점을 정하기 위한 제 2 바이어스 회로부;

로 구성되는 것을 특징으로 하는 차동 입력형 고주파 전력 증폭기.

**【청구항 2】**

제 1 항에 있어서,

전력 차단 단자의 전압이 접지 전압이 되는 경우, 상기 제 2 증폭회로부의 출력 단자를 통해 안테나로 출력되는 전력을 차단하기 위한 전력 차단 회로부;

를 더 포함하여 이루어지는 것을 특징으로 하는 차동 입력형 고주파 전력증폭기.

**【청구항 3】**

제 1 항에 있어서, 상기 제 1 증폭회로부는,

차동 입력 단자로부터 입력되는 신호를 증폭하기 위한 복수의 증폭소자와, 차동 증폭회로의 주파수 응답 안정을 위한 부궤환용 인덕터,

로 구성된 것을 특징으로 하는 차동 입력형 고주파 전력 증폭기.

**【청구항 4】**

제 1 항에 있어서, 상기 제 2 증폭회로부는,

하나 또는 그 이상의 증폭소자와, 하나 또는 그 이상의 출력 고조파 성분을 감소시키기 위한 소자,

로 구성된 것을 특징으로 하는 차동입력형 전력 증폭기.

**【청구항 5】**

제 1 항에 있어서, 상기 중간 정합부는,

하나 또는 그 이상의 중간 정합 소자와, 임피던스 소자,

로 구성된 것을 특징으로 하는 차동 입력형 고주파 전력 증폭기.

**【청구항 6】**

제 1 항에 있어서, 상기 전력 차단 회로부는,

전력 차단 소자와, 정류 소자와, 다수의 전압 분배용 소자와, 복수의 전압 제어 전류 공급원,

으로 구성된 것을 특징으로 하는 차동 입력형 고주파 전력 증폭기.

**【청구항 7】**

제 1 항에 있어서, 상기 전력 조절 회로부는,

전력 조절 단자와, 정류 소자와, 다수의 바이어스용 소자와, 다수의 전력 감소 비율을 결정하기 위한 소자와, 다수의 증폭소자와, 다수의 임피던스 소자,

로 구성된 것을 특징으로 하는 차동 입력형 고주파 전력 증폭기.

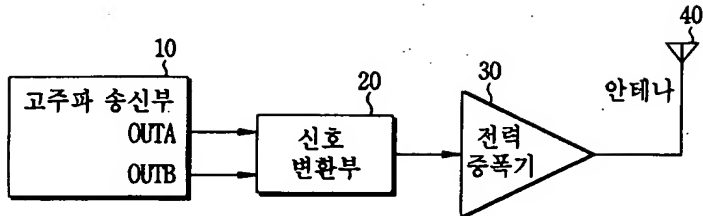
**【청구항 8】**

제 1 항에 있어서, 상기 제 1, 제 2 바이어스 회로부는,

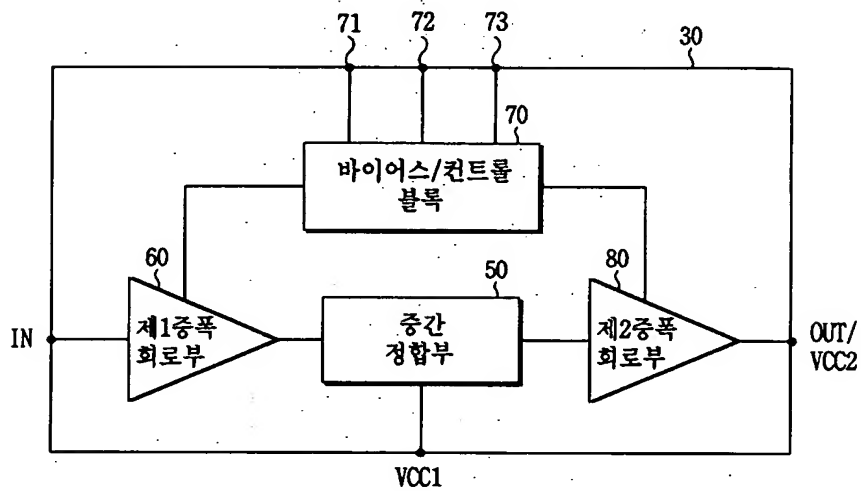
전류 이득 변화의 보상을 위한 바이어스 전류 미리 회로로 이루어진 것을 특징으로 하는 차동 입력형 고주파 전력 증폭기.

【도면】

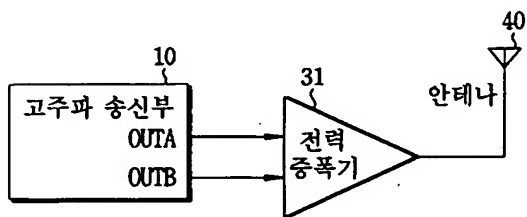
【도 1】



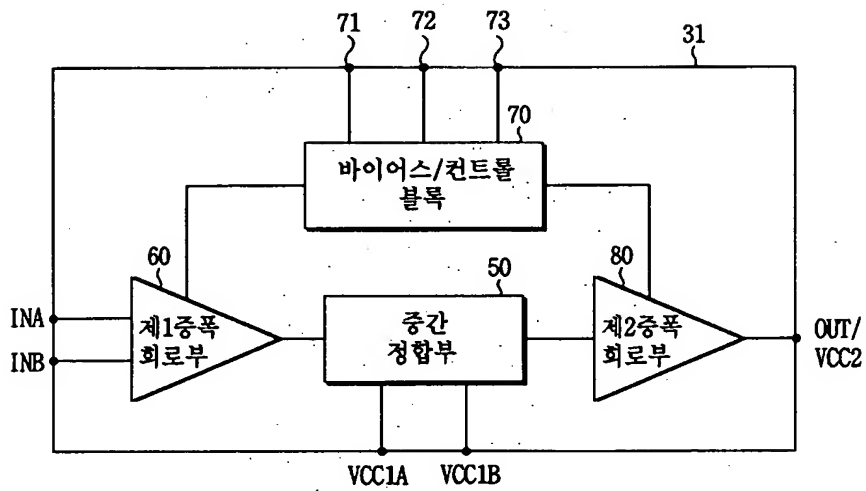
【도 2】



【도 3】



【도 4】



【도 5】

